



## Разработка и исследование блока эквалайзера для высокоскоростного канала приема данных

*Д.В. Мельников*

*Национальный исследовательский университет «МИЭТ», Москва, Зеленоград  
АО НПЦ «ЭЛВИС», Москва, Зеленоград*

**Аннотация:** В данной статье рассматривается проблема разработки эквалайзера высокоскоростного канала приема данных, который предназначен для компенсации неравномерности частотной характеристики входного дифференциального сигнала. Используя специальные методы проектирования, а также средства моделирования частотных и переходных характеристик, был разработан эквалайзер с возможностью цифровой регулировки коэффициента усиления. Данная регулировка также позволяет снизить влияние разброса параметров технологического процесса, неизбежного при производстве микросхемы.

**Ключевые слова:** затухание, приемопередатчик, эквалайзер, сложно-функциональный блок, выравнивание, усиление, амплитуда

### Введение

Для высокоскоростной передачи информации по оптоволокну выстраиваются волоконно-оптические линии связи (далее ВОЛС), в которых одним из ключевых компонентов является трансивер – съёмное устройство, преобразующее сигналы, передаваемые из внутренней среды активного сетевого оборудования в транспортную среду передачи для гибкого масштабирования сети [1]. Характеристики и функции трансивера, в свою очередь, определяют сложно-функциональные блоки (далее СФ-блоки) в составе его приемопередающей микросхемы. Одним из важных СФ-блоков микросхемы является эквалайзер ее канала приема. Он компенсирует неравномерность частотной характеристики путем выравнивания амплитуды входных сигналов с разной частотой, что позволяет воспроизводить данные с низкой частотой ошибок [2]. Несовершенства среды, через которую проходит сигнал, становятся более критичными при высоких скоростях передачи, и на

---

разных частотах сигнал ослабляется по-разному, что делает СФ-блок эквалайзера обязательной составляющей в приемниках [3]. Затухание сигнала также обусловлено наличием неоднородностей в оптоволоконном канале связи, возникающих как в процессе изготовления волокна, так и в ходе его эксплуатации и деградации под влиянием внешней среды, что отражено в работах [4,5].

## **Схемотехнические и топологические особенности**

### **СФ-блока эквалайзера**

Добиться высокого коэффициента усиления слабых сигналов в СФ-блоке эквалайзера можно путем последовательного включения нескольких усилительных каскадов, в которых компенсация неравномерности частотной характеристики достигается за счет высокочастотной емкостной коррекции. Это позволяет добиться постоянного коэффициента усиления в широком диапазоне рабочих частот. На рис. 1 изображена структурная схема разработанного эквалайзера, а в таблице 1 приведены назначения выводов цифровой регулировки. СФ-блок состоит из следующих каскадов:

- первый каскад (К1): «дегенеративная» дифференциальная пара с регулируемым коэффициентом усиления постоянного сигнала, положением максимума усиления и опорным током каскада;
  - второй каскад (К2): структурно и функционально совпадает с первым каскадом, однако масштабирован в большую сторону (работает на большем токе);
  - третий каскад (К3) представляет собой буфер с возможностью коррекции смещения нуля обратной связью через дифференциальный усилитель (далее ДУ) и фильтр нижних частот (далее ФНЧ).
-

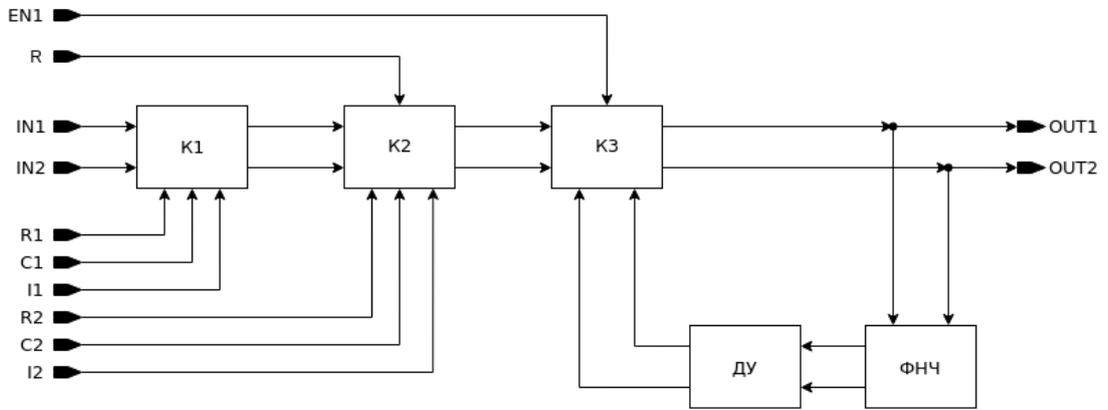


Рис. 1. – Структурная схема СФ-блока эквалайзера

Таблица №1

Выводы цифровой регулировки СФ-блока эквалайзера

Обозначение вывода	Назначение
IN1	Входы СФ-блока
IN2	
R1	Управление сопротивлением в цепи истока дифференциальных пар каскадов К1, К2
R2	
C1	Управление емкостью в цепи истока дифференциальных пар каскадов К1, К2
C2	
OUT1	Выходы СФ-блока



OUT2	
------	--

Рассмотрим подробнее каскады К1 и К2: использование их входов цифровой регулировки позволяет промоделировать усиление эквалайзера на целевой частоте для достижения наилучшего выравнивания входного сигнала. Регулировка коэффициента усиления постоянного сигнала осуществляется изменением логических уровней на входах R1, R2. При этом, для обоих каскадов в цепи истока их дифференциальных пар изменяется величина сопротивления, выполненного на параллельных n-канальных транзисторах. Описываемый подход, с включением сопротивления в цепь истока, носит название «source degeneration» и применяется для повышения линейности передаточной характеристики дифференциальной пары [6]. Регулировка положения максимума усиления осуществляется с помощью входов С1, С2: они изменяют величину емкости, параллельной вышеупомянутому сопротивлению для К1 и К2, соответственно. Стоит отметить, что возможность такой регулировки позволяет уменьшить влияние отклонения характеристик приборов от номинальных значений вследствие разброса параметров технологического процесса (далее ТП). Отклонения являются неизбежными даже для хорошо управляемых и стабильных ТП [7]. В случае аналоговых блоков разброс параметров ТП особенно сильно влияет на точность, быстродействие и потребляемую мощность.

При проектировании топологии СФ-блока эквалайзера были использованы приемы, которые позволяют избежать рассогласования характеристик критичных элементов вследствие разброса параметров ТП, а также обеспечить стабильную работу в СВЧ-диапазоне [8-10]:

– охранные кольца: дополнительные области диффузии с большим количеством контактов к металлизации по всему периметру, подключенных к земле или питанию;

---

- экранирование: топологический прием, при котором сигнальную линию окружают проводниками, подключенными к аналоговой земле;
- массив элементов с общим центром: техника равномерного и компактного размещения одинаково ориентированных элементов с общим геометрическим центром и обеспечением их симметрии.
- dummy-элементы: способ согласования элементов в топологии, при котором активные элементы окружают аналогичными «фиктивными».

### Моделирование СФ- блока эквалайзера

Точные результаты компенсации неравномерности частотной характеристики получены с проведением экстракции паразитных параметров топологии эквалайзера. Данное моделирование учитывает сопротивления и емкости, привнесенные в процессе топологической реализации. На рис. 2 представлен дифференциальный сигнал на входе эквалайзера.

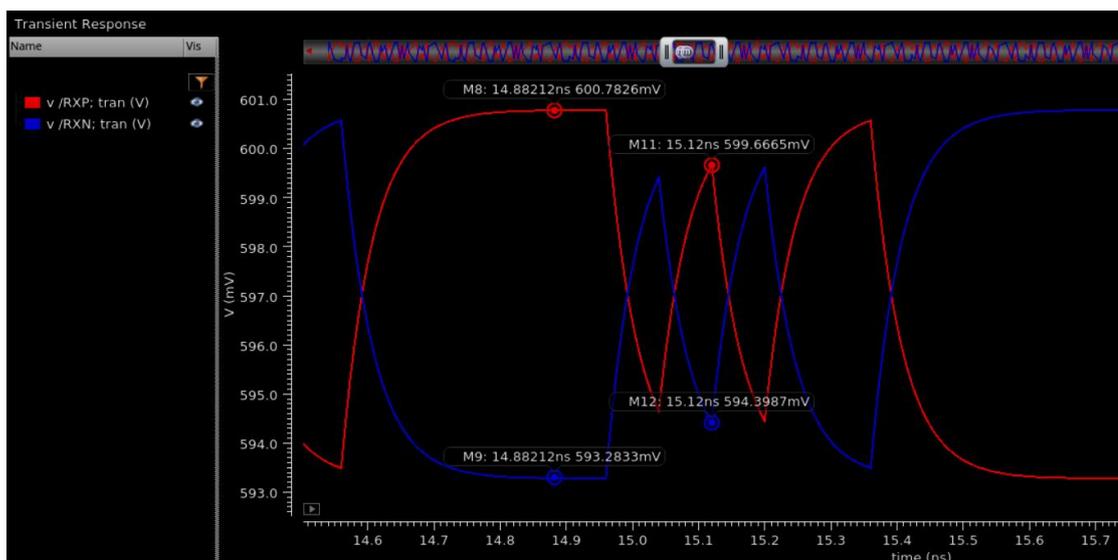


Рис. 2. – Входной дифференциальный сигнал эквалайзера

Из графика можно увидеть, что амплитуда сигнала при длинной битовой последовательности, превышает амплитуду сигнала с короткой битовой последовательностью. С точки зрения дальнейшей обработки в цифровой части микросхемы приемопередатчика, напротив, входной сигнал должен иметь равную амплитуду независимо от частоты битовой последовательности.

Проведено моделирование, при котором в определенном диапазоне варьируются значения управляющих сигналов C1, C2 и R1, R2. При этом, задаваемые для регулировки значения – двоично-взвешенные. Изменение указанных параметров проводилось попарно, так как каскады структурно и функционально повторяют друг друга. В результате проведенного моделирования были получены АЧХ и переходная характеристика выходного сигнала, изображенные на рис. 3 и 4, соответственно.

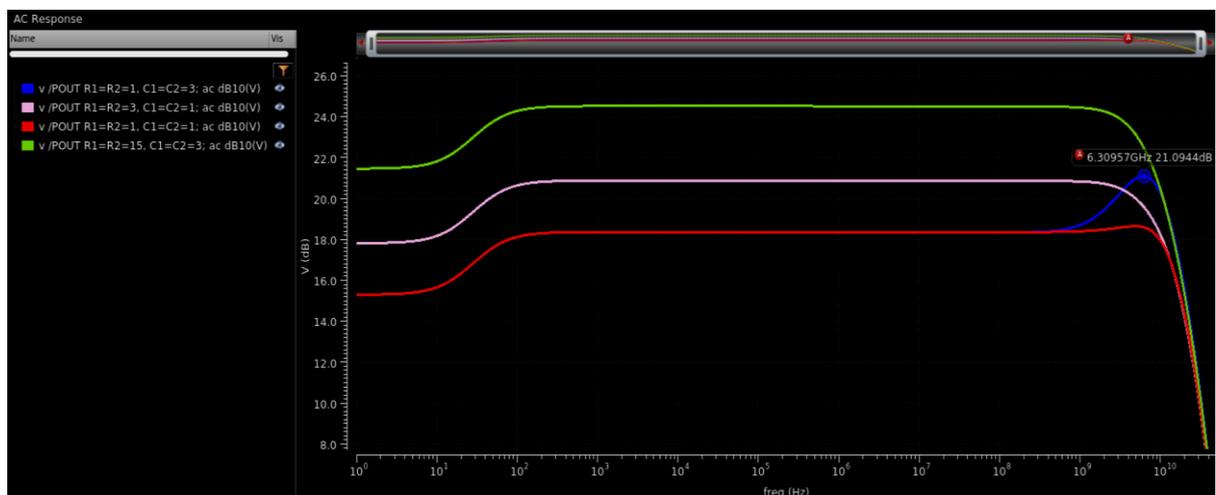


Рис. 3 – АЧХ выходного сигнала при различных значениях C1 и C2

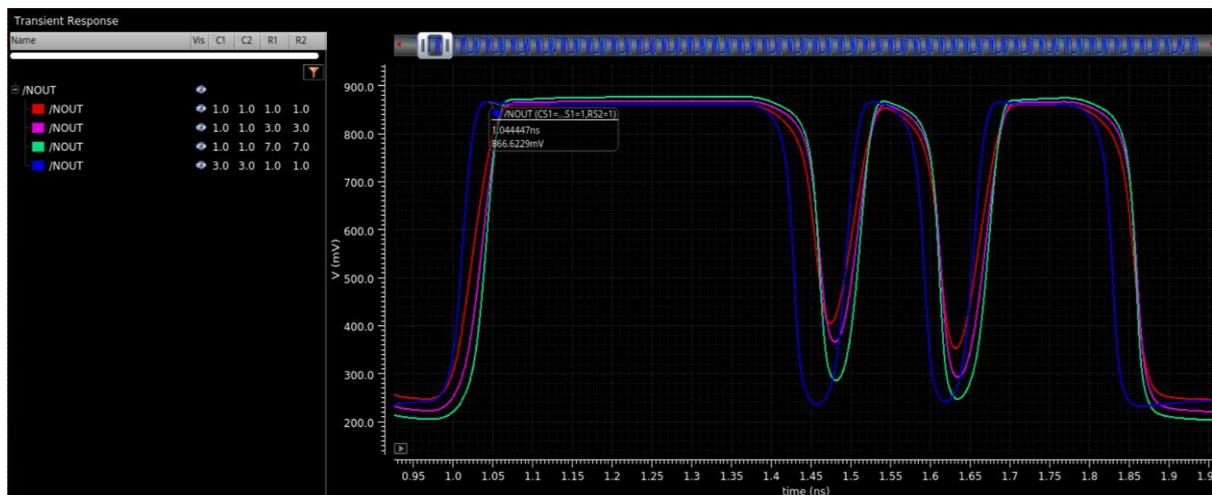


Рис. 4 – Переходная характеристика выходного сигнала эквалайзера при различных значениях R1, R2 и C1, C2 (инверсный вход)

### Результаты исследования СФ-блока эквалайзера

В результате анализа полученных характеристик удалось выявить наиболее подходящие значения сопротивлений и емкостей в дифференциальных парах. Наилучшее выравнивание амплитуды входного сигнала достигается при следующих значениях управляющих входов:

- $R1 = R2 = 1$ , что соответствует сопротивлению 400 Ом в цепи истока и усилению на низких частотах входных каскадов эквалайзера (битовая частотой передающего сигнала  $> 4$  Гбит/с);
- $C1 = C2 = 3$ , что соответствует емкости 30 фФ в цепи истока и усилению на высоких частотах входных каскадов эквалайзера.

На рис. 6 представлена результирующая переходная характеристика выходного дифференциального сигнала эквалайзера, полученная с использованием результатов моделирования блока с варьированием параметров управляющих сигналов.

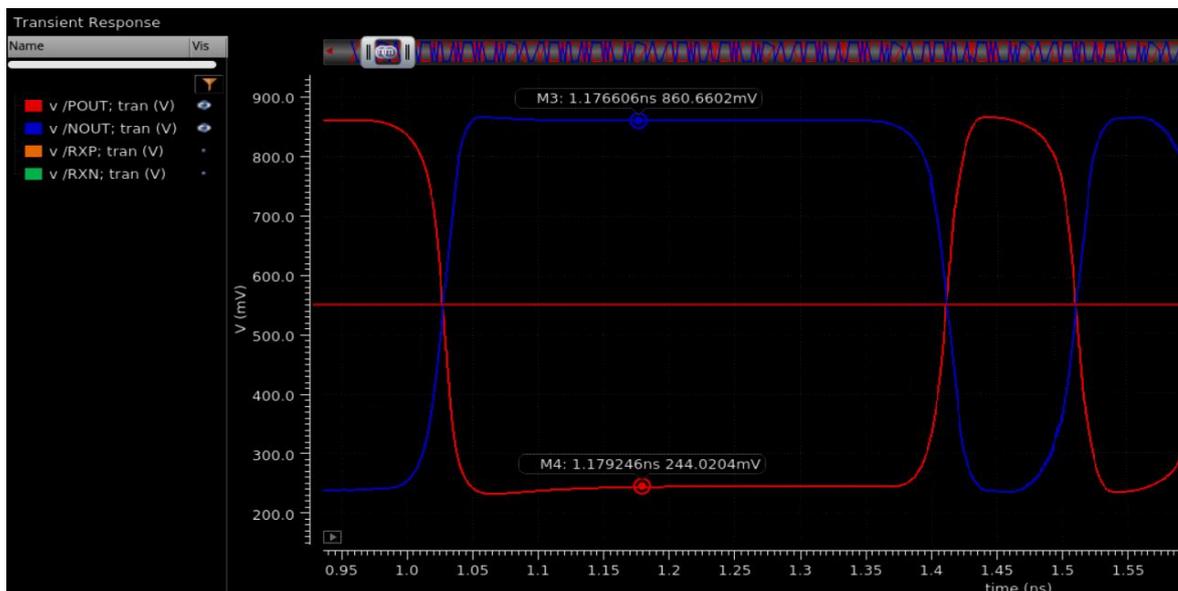


Рис. 6. – Выходной дифференциальный сигнал эквалайзера

Как можно увидеть из представленной на рис. 6 характеристики, эквалайзер выравнивает амплитуды входного сигнала независимо от частоты битовых последовательностей, в то время, как изначально сигналы с большей битовой частотой (короткие последовательности) ослабевали примерно в два раза по сравнению с сигналами с меньшей битовой частотой (длинные последовательности). Разница между прямым и инверсным дифференциальными сигналами усиливается с 7,5 мВ до 616 мВ.

В таблице 2 также представлены результаты моделирования усиления эквалайзера на целевой частоте в зависимости от значений на управляющих входах блока. Здесь «reaking» – это характеристика, которая показывает, какое затухание способен побороть эквалайзер, после прохождения сигнала по оптическому волокну. При этом обеспечивается максимальное усиление на целевой частоте.

Таблица №2

Результаты моделирования АЧХ- эвалайзера

Управляющие сигналы, n	Значение емкости в каскаде, фФ	Значение сопротивления в каскаде, Ом	Усиление на частоте 6,3 ГГц (peaking), дБ
C1 = 1, C2 = 1 R1 = 1, R2 = 1	15	400	18,59
C1 = 1, C2 = 1 R1 = 3, R2 = 3	15	200	19,56
C1 = 1, C2 = 1 R1 = 7, R2 = 7	15	133	21,00
C1 = 1, C2 = 1 R1 = 15, R2 = 15	15	100	22,30
C1 = 3, C2 = 3 R1 = 1, R2 = 1	30	400	21,09
C1 = 3, C2 = 3 R1 = 15, R2 = 15	30	100	22,44

**Литература**

1. Как выбрать оптический трансивер? Типы оптических модулей // modultech.ru URL: modultech.ru/kak-vybrat-opticheskij-transiver-opticheskij-modul-tipy-transiverov-modulej/ (дата обращения: 21.04.2024).
2. Линович А.Ю. Динамический выбор порядка в многоскоростном адаптивном фильтре // Инженерный вестник Дона, 2013. №4. URL: ivdon.ru/magazine/archive/n4y2013%20/2002.



3. Razavi B. The design of an equalizer – Part One // IEEE Solid State Circuits. 2021. №4(vol.13). pp. 7–12.
4. Гороховский Е.В. Условия электропроводимости самонесущего волоконно-оптического кабеля. Экспериментальные данные // Инженерный вестник Дона, 2013. №4. URL: [ivdon.ru/ru/magazine/archive/n4y2013/1968](http://ivdon.ru/ru/magazine/archive/n4y2013/1968)
5. Безуглый А.В., Черных В.Н. Повышение надежности систем автоматического управления передачей данных путем оптимизации волоконно-оптических линий связи // Инженерный вестник Дона, 2019. №9. URL: [ivdon.ru/ru/magazine/archive/N8y2019/6250](http://ivdon.ru/ru/magazine/archive/N8y2019/6250)
6. Razavi B. Design of Analog CMOS Integrated Circuits. NY: McGraw-Hill Education, 2017. P. 782.
7. Денисенко В. Моделирование разброса параметров транзисторов в КМОП СБИС // Компоненты и технологии. 2003. №8. С. 40-45.
8. Guard-ring: Analog Layout // [siliconvlsi.com](http://siliconvlsi.com). URL: [siliconvlsi.com/guard-ring-analog-layout/](http://siliconvlsi.com/guard-ring-analog-layout/) (дата обращения: 10.05.2024).
9. Types of Shielding in VLSI // [siliconvlsi.com](http://siliconvlsi.com). URL: [siliconvlsi.com/types-of-shielding-in-vlsi/](http://siliconvlsi.com/types-of-shielding-in-vlsi/) (дата обращения: 10.05.2024).
10. Кириллова Е.В. Физическое проектирование прецизионных аналоговых блоков в цифро-аналоговых ИМС // Компоненты и технологии. 2007. №6. С. 154-163.

### References

1. Как vybrat' opticheskij transiver? Tipy opticheskij modulej [How to choose an optical transceiver? Types of optical modules]. URL: [modultech.ru/kak-vybrat-opticheskij-transiver-opticheskij-modul-tipy-transiverov-modulej/](http://modultech.ru/kak-vybrat-opticheskij-transiver-opticheskij-modul-tipy-transiverov-modulej/) (date assessed: 21.04.2024).
-



2. Linovich A.Ju. Inzhenernyj vestnik Dona, 2013 №4. URL: [ivdon.ru/magazine/archive/n4y2013%20/2002](http://ivdon.ru/magazine/archive/n4y2013%20/2002).
3. Razavi B. IEEE Solid State Circuits. 2021. №4 (vol.13). pp. 7–12.
4. Gorohovskij E.V. Inzhenernyj vestnik Dona, 2013. №4. URL: [ivdon.ru/ru/magazine/archive/n4y2013/1968](http://ivdon.ru/ru/magazine/archive/n4y2013/1968)
5. Bezuglyj A.V., Chernyh V.N. Inzhenernyj vestnik Dona, 2019. №9. URL: [ivdon.ru/ru/magazine/archive/N8y2019/6250](http://ivdon.ru/ru/magazine/archive/N8y2019/6250)
6. Razavi B. Design of Analog CMOS Integrated Circuits. NY: McGraw-Hill Education, 2017. P. 782.
7. Denisenko V. Komponenty i tehnologii. 2003. №8. pp. 40-45.
8. Guard-ring: Analog Layout. URL: [siliconvlsi.com/guard-ring-analog-layout/](http://siliconvlsi.com/guard-ring-analog-layout/) (date assesed: 10.05.2024).
9. Types of Shielding in VLSI. URL: [siliconvlsi.com/types-of-shielding-in-vlsi/](http://siliconvlsi.com/types-of-shielding-in-vlsi/) (date assesed: 10.05.2024).
10. Kirillova E.V. Komponenty i tehnologii. 2007. №6. С. 154-163.

**Дата поступления: 24.04.2024**

**Дата публикации: 30.05.2024**